

[12]发明专利申请公开说明书

[21]申请号 96123854.2

[43]公开日 1997年12月17日

[11]公开号 CN 1167981A

[22]申请日 96.12.25

[30]优先权

[32]95.12.25 [33]JP [31]351630 / 95

[71]申请人 索尼公司

地址 日本东京都

[72]发明人 市川高广

[74]专利代理机构 柳沈知识产权律师事务所

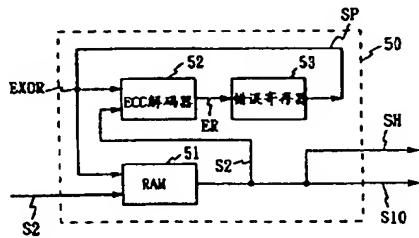
代理人 马 莹

权利要求书 4 页 说明书 32 页 附图页数 35 页

[54]发明名称 编码数字信号的解码装置和方法

[57]摘要

一种对加有诸如 C1 / C2 卷积 Reed-Solomon 类型纠错数据的编码数据（如数字视频信号）解码的数字信号解码器及一种包含该解码器的数字信号再现装置。该解码器检测在第一存储器中存储的编码数据中的可校正错误、确定检测到的错误在编码数据中的位置，并提供与那些错误相应的纠错格式；在第二存储器中存储错误位置和纠错格式；利用第二存储器中纠错格式解码从第一存储器中读出与错误位置相应的编码数据以产生校正后的解码数据。



读地址(读指针 RP)。

环形缓冲区存储器 10 将存于其中的数据提供给数据分离电路 13 中的首标分离电路 14，它从提供数据的每个包(pack)中分离出一个包首标还从该数据包括的每个子包(packet)中分离出一个子包首标，并将分离的首标提供给一个分离电路控制器 15。电路控制器 15 向切换电路 16 提供一个切换器控制信号以使得供给输入端 G 的视频数据通过端子 H₁ 被提供给一个视频码缓冲区 17，并使得供给输入端 G 的音频数据通过端子 H₂ 被提供给一个音频码缓冲区 19。首标中的流识别信息(流 ID)标识子包中的数据类型(如视频或音频)。

10 视频码缓冲区 17 存储提供的视频数据，并根据存在缓冲区 17 中的数据量产生和向数据分离电路 13 提供一个代码请求信号 R1。根据视频解码器 18 提供的代码请求信号 R1'，视频码缓冲区 17 向视频解码器 18 输出存储的数据。视频解码器 18 对读出的视频数据解码以产生一个数字视频信号并将其输出到输出端 OUT1。

15 同样，音频码缓冲区 19 存储提供的音频数据并根据存在缓冲区 19 中的数据量产生和向数据分离电路 13 提供一个代码请求信号 R2。音频码缓冲区 19 根据音频解码器 20 提供的代码请求信号 R2' 向音频解码器 20 输出存储数据。音频解码器 20 对读出的音频数据解码以产生一个数字音频信号并将其输出到输出端 OUT2。

20 如前面所提到的，解调系统 5 通过解调电路 6 对再现信号 S1 解调。解调电路 6 利用公知的 RF 处理将拾取设备 3 提供的信号 S1 切换为二进制信号以检测 EFM+同步格式(如 8，16 切换)。一个基于线性匀速方法(CLV)的“粗”伺服机构处理基于所检测到的同步格式的信号 S1。然后在扇区检测电路 7 检测到信号 S1 中的 EFM+同步首标之后，一个 PLL(锁相环)伺服机构处理该同步首标，并且当检测电路 7 连续检测到几个同步首标时，检测电路 7 提供的数据 S2 在 ECC 电路 8 中被去交错。

30 参照图 2，示出了 ECC 电路 8 的方块图，其中 ECC 电路 8 由 4 个随机存取存储器，RAM24、RAM26、RAM28 和 RAM30 以及三个错误校正码(ECC)解码器 25、27 和 29 构成。如将要讨论的，解码器 25、27 和 29 利用三个错误检测/校正序列数据 C11(也称作第一 C1 序列)、数据 C2 和包括了 C1/C2 卷积 Reed - Solomon 代码(即 CIRC Plus 代码)的数据 C12(也称作第二

C1 序列)来检测和校正数据 S2 中的错误。这些数据序列包括在 EFM+解调数据 S2 中。数据 S2 被提供给按地址顺序 00, 01, …, A8 和 A9(这里称之为一个“EFM+写”)存储数据的 RAM 24，并在数据 S2 的两帧被存入 RAM 24 之后，RAM 24 按地址顺序 00', 01', …, A8', 01, 03, …, A9(这里称之为一个“C1 读”)将数据的第一存储帧提供给解码器 25 以便于对数据的 C1 序列去交错，如图 3 所示。解码器 25 接收读出数据并通过识别数据的错误位置和校正模式，从 RAM 24 中读出错误数据(即 C1 读)，将读出数据与校正格式进行异或逻辑加，以及将结果数据写入 RAM 26(此处称之为“C1 写”)来校正 S2 数据中的错误，如图 4 所示。解码器 25 在 C2 码序列长度上 10 对数据的 C1 序列解码(从而错误检测/校正 S2 数据)。

在 C1 序列数据被解码后(在整个 C2 码序列长度上)，数据的 C2 序列被“ECC”解码。按地址顺序 00', 01', 02', 03', …, A9' 读出存在 RAM 26 中的数据(称之为“C2 读”)并将读出数据提供给顺序对读出的 C2 序列数据解码的解码器 27。解码器 27 为每个不可校正数据帧产生一个“不可校正错误”标记，并在提供解码后的 S2 数据的同时，将不可校正错误标记提供给解码器 29，以便于允许从数据流中擦除(即删去)这个不可校正的数据。解码器 27 中的错误检测/校正与解码器 25 相似。并且当数据是不可校正时产生一个 C1 不可校正错误标记。

在解码器 27 对利用 C2 数据的数据解码后，解码数据被存入 RAM 28 中(称之为“C2 写”)，如图 5 所示。此后，RAM 28 按地址顺序 00', 01, 02, 03, …, A9 读出包括了其内存储数据的 C12 序列的数据(称之为“C12 读”)，并将读出数据供给解码器 29。与 C2 不可校正错误标记相类似，为了擦除(即删去)基于数据 C12 序列的不可校正的错误，产生和利用一个 C12 不可校正错误标记。解码器 29 对数据(利用 C12 数据)进行错误检测/校正并将数据按顺序 00, 01, 02, 03, …, A9 存入 RAM 30 中(称之为“C12 写”)，如图 6 所示。如前述，存在 RAM 30 中的数据被按 00, 01, 02, 03, …, A9 的顺序读出(称之为“OUT 读”)，解扰并提供给环形缓冲区存储器 10。

根据下列等式并利用一个沿 C1 数据方向的数据次序 Dn 和基于 RAM 30 24, 26, 28, 30 的数据地址的“C1 码单元”中的帧号 Fn，产生数据的存储地址 RA，如图 7 所示。以下这些方程中的所有数字用十六进制表示。